

使用基於機器學習的巨集佈局，進行更快速且更佳的布圖規劃

作者

Jim Schultz
資深產品經理
新思科技

簡介

存在於現今消費性與商業電子產品中的晶片尺寸和複雜度已經到達令人難以想像的程度。幾種大型的裝置或元件包括中央處理器 (central processing unit, CPU)、圖形處理器 (graphics processing unit, GPU)，以及在單一晶片上整合了諸多功能的系統單晶片 (SoC) 等。此外，晶片本身也透過 2.5DIC 和 3DIC 等多晶粒 (multi-die) 方法突破其傳統的極限，改善資料傳輸並混合技術節點，進而推動自動駕駛汽車等應用，達到提高效率並降低成本的目的。

這些尖端技術的共通點是大量的設計元件。每個晶片都可能包含數十億顆電晶體與數百萬個元件 (instance)，且分散在記憶體陣列與邏輯功能中。晶片需要達到這種複雜度才能滿足新興市場的需求，像是人工智慧 (AI)、高效能運算 (HPC) 以及超大規模資料中心。滿足這些設計的功率、效能、面積與壅塞 (power, performance, area, and congestion, PPAC) 目標的挑戰性日益增加，不僅消耗專案的大量資源，更會延長上市時程 (TTM)。

本篇技術白皮書重點在於晶片的布圖規劃 (floorplanning) 與巨集佈局 (macro placement) 的關鍵步驟，而這也對滿足 PPAC 需求至關重要；與建造房子或摩天大樓的模式類似，布圖規劃就是建構可實現所需的 PPAC 結果的晶片藍圖。而如同在諸多技術領域的應用，機器學習 (ML) 等基於 AI 的技術，可以將布圖規劃提升到新水平。

布圖規劃攻略

理論上，無論設計具有多少可佈局的執行個體，實體設計團隊都能夠將完整的網表應用在佈局與繞線 (P&R) 過程中，並取得完整的結果。對於小型設計而言，佈局工具可以在沒有藍圖的情況下，針對所有記憶體巨集與標準元件進行佈局，然後透過繞線將它們之間互連的訊號網路連接起來。然而，實際上，如果沒有布圖規劃，要實現大型晶片的執行時間與運算需求並不切實際。

而問題在於最終的佈局結果可能無法滿足 PPAC 需求。繞線後靜態時序分析 (STA) 通常會顯露出超出設計週期時間的路徑，因而影響效能；晶粒的面積可能會太大而無法滿足產品的成本目標，或者功耗可能會導致晶片無法適用於原本預期的終端用途。而密集封裝的元件會造成壅塞，可能會致使部分繞線無法完成。針對大型設計調整約束條件並重新執行佈局與繞線的全部流程，不僅索然無味而且相當耗時；這個過程可能會需要反覆進行許多次，而且每次可能會耗費數週才能完成，並佔用億萬位元的磁碟空間。儘管如此，設計最終可能還是無法滿足其 PPAC 目標。

布圖規劃是一種可以提供協助的新興方法。布圖規劃是對晶片元件（標準元件、記憶體巨集與線路）進行物理約束的行為；通常涉及將有關的邏輯進行分組，以及將佈局約束在晶片的特定區域。將有關的邏輯進行分組通常會縮短連線線長，進而提升效率。而前題是假設晶片設計人員對晶片不同部分如何相互作用瞭若指掌，因而能夠指導佈局工具的佈局與繞線引擎。高品質的布圖規劃有助於佈局與繞線以更快的速度進行收斂，實現其 PPAC 目標。

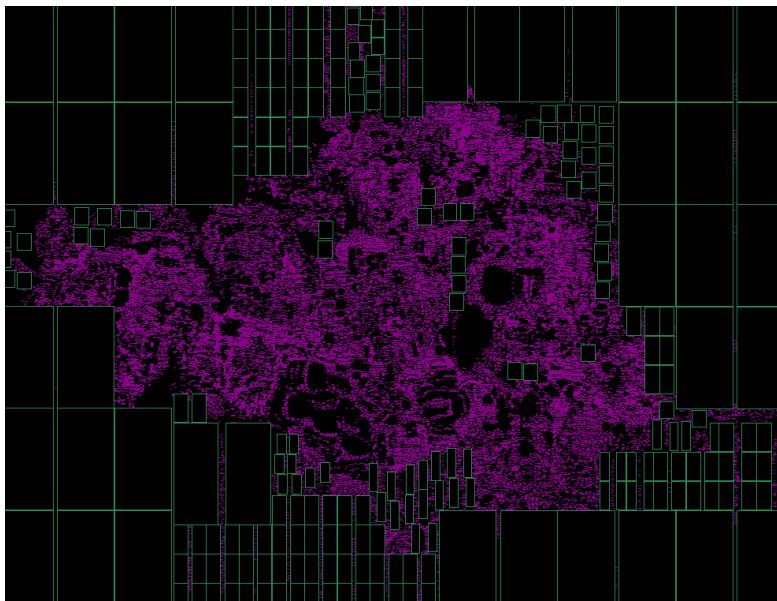


圖1: 繁複晶片布圖規劃的範例

傳統方法的限制

布圖規劃在實體設計流程中是一個至關重要的步驟，十分適用於小型設計與中型設計。然而，在現代的大型晶片中，布圖規劃實際上卻變得索然無味且相當耗時，需要反覆進行多次。通常，當設計具有超過一千萬個執行個體時，這些設計會在稱作「階層式分割」(hierarchical partitioning) 的流程中分解成多個獨立的區塊。這讓各個區塊能夠獨立且同時進行佈局與繞線，進而縮短整體運行時間。接著，完成運行的區塊會組裝起來，構成一個完整的晶片。這種階層式實作流程需要仔細地進行布圖規劃，才能讓組裝的區塊滿足所有 PPAC 目標，並通過所有設計規則檢查。

傳統的布圖規劃通常會牽涉到以人工方式嘗試錯誤，才能為晶片尋找出好的資料流 (data flow)。巨集的配置是布圖規劃中的關鍵步驟，因為巨集的尺寸比起標準元件還要大，而且具有許多連線的寬匯流排介面 (wide bus interface) 會嚴重影響繞線壅塞。對巨集進行最佳佈局後，可縮短線長並減少阻塞，而剩下的空間則專屬於標準元件。目標旨在利用最有可能滿足專案 PPAC 目標的方式，將巨集與元件放置在每個區塊中。在普遍常見的設計中，創建布圖規劃的人員或許能夠仰賴其經驗與一些制度下產生的知識，加速流程的執行速度。例如：針對 HPC 應用的 SoC 設計專家可能知道如何對晶片進行佈局與繞線，以獲取所需的效能，同時將功耗降到最低，並預防繞線壅塞。

隨著晶片的尺寸及複雜度不斷提升，在一個設計上的記憶體數量與其他硬巨集 (hard macro) 數量也迅速增加。當巨集數量增加至數千個，以人工方式進行布圖規劃在效率上總是會碰到極限。因此，布圖規劃設計在專案時程的比重逐漸增加，而設計人員也正在尋求藉由減少反覆進行布圖規劃的次數達成嚴苛結果品質 (QoR) 目標的方法。

在現代晶片中進行有效的布圖規劃仍面臨諸多挑戰。用於更細小尺寸的先進規則，如：boundary cell、end of line、layer coloring、via enclosure 等，提高佈局與繞線的複雜度。當設計人員趕著增加新功能時，通常無法針對增加的功率與面積需求進行規劃，進而導致成本高昂的後期重新布圖規劃。新增測試、安全與安全性的架構也會對面積與功率造成壓力，使得布圖規劃變得更加重要同時增加這個步驟的難度。

影響布圖規劃的晶片限制包括架構需求、閘數 (gate counts)、功耗模式與功率區域。大多數晶片會視邏輯需求使用多種電源供應電壓。例如：CPU 的電壓可能比 USB 或 PCIe 控制器的電壓高。這需要藉由功率區域對邏輯元件進行分組與佈局，讓邏輯元件能夠接收到正確的電源供應繞線。此外，藉由開啟或關閉功率區域進行節電，會需要額外的布圖規劃來評估插入電源開關和電壓/電平轉換器 (level shifter) 進行考量。最重要的是，反覆執行人工操作的布圖規劃設計所需要的時間長短，取決於晶片尺寸和複雜度，可能需要耗費數天，甚至長達數週的時間。

運用機器學習執行最佳的布圖規劃

隨著設計複雜程度持續提高，需要使用自動化來改善關鍵的布圖規劃步驟。自動化可以減少反覆執行的次數、縮短布圖規劃設計所花費的時間，並加速投片的時程。機器學習自動化可提供滿足當今晶片嚴苛的 PPAC 目標所需的功率及智慧。如圖 2 所示，相較於任何人工操作流程，基於機器學習的布圖規劃可以更快速地即時執行佈局探索；而這些「假設」(what-if) 的實驗可以透過諸多可能的布圖規劃方法，迅速地反覆進行。

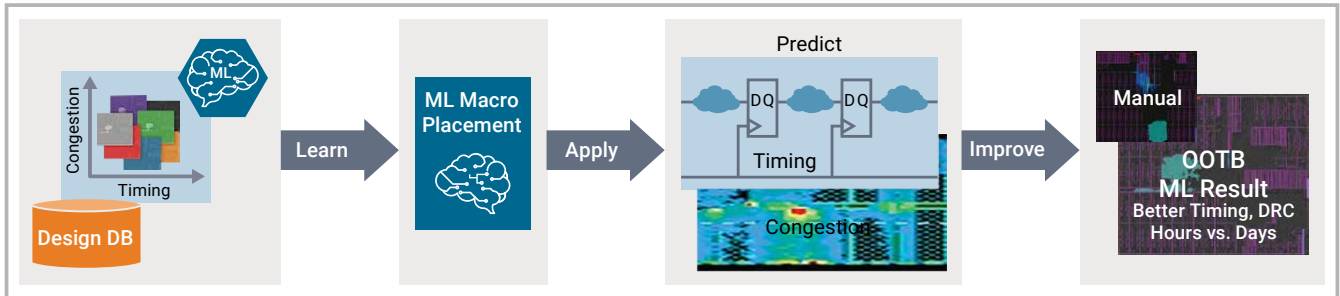


圖2: 應用機器學習，以改善布圖規劃。

機器學習不僅僅執行這些試驗性的佈局，也會從中學習。產生較差結果的佈局很快就棄之不用，而演算法會對最有希望的佈局進行收斂。藉由迅速即時地自動探索數百個布圖規劃，這個技術可以創建出最佳性能的布圖規劃。機器學習的模型會在使用過程中一路接受訓練；隨著時間推移，可用來提供訓練的資料越多，這個技術就會變得越智能。由於大型晶片中可供探索的空間十分巨大，特別是那些動輒運用到數千個巨集的 AI 架構，機器學習技術非常適合用來解決布圖規劃設計所面臨的挑戰。資料庫中的 Factory ML 資料和專案使用過程中累積下來的機器學習資料都會被儲存下來，供後續其他專案，尤其是類似的設計或是衍生設計重複使用。

機器學習技術可以預測壅塞、線長、功率與總負時序餘量 (total negative slack, TNS)，創建出優於以人工操作方法所產生的布圖規劃。經過佈局與繞線後，相較於根據人工操作布圖規劃所產生的佈局，利用機器學習技術所形成的佈局可以針對 PPAC 目標進行最佳的優化。這種省時省力的方法並非一次性；隨著設計在專案過程中演變，布圖規劃也會跟著變化，佈局繞線步驟就會重複運行多次。每次反覆過程中設計人員的工作量都會大幅減少，也會大量減少手動調整所需的人力。

新思科技的解決方案

新思科技已經在 AI 與機器學習演算法這兩個方面進行大量投資。特別是機器學習巨集佈局 (Machine Learning Macro Placement, MLMP) 技術解決了傳統人工操作布圖規劃的關鍵挑戰。MLMP 解決方案可將反覆的巨集佈局自動化，同時透過機器學習減少實驗次數。這個解決方案可以快速地搜尋大型解決方案空間，找出能夠提供最佳 PPAC 的最佳佈局。

巨集佈局引擎可支援多種佈局樣式：邊緣、自由形式及混合式。邊緣樣式是在晶片邊緣周圍堆疊巨集，在中間空出用於標準元件佈局的巨大空白區域，進而減少壅塞。自由形式樣式能夠在相關邏輯附近的中間佈局巨集，減少線長，進而改善時序和功率。混合式樣式讓工具能夠智能地選擇邊緣樣式或自由形式樣式。

機器學習技術使用不同的巨集佈局解決方案，會生成非常大量的布圖規劃實驗。完整的佈局及繞線流程中會進行一小部分的布圖規劃實驗，以生成 QoR 資料，並進一步訓練 Factory ML 模型。接著，經過訓練的模型會用來預測大量實驗的 QoR，並識別出產生最佳 PPAC 的布圖規劃，為壅塞和時序創建最佳且可開箱即用 (OOTB) 的巨集佈局。這會大量減少晶片專案中多點人工操作所耗費的時間和人力。此外，高度自動化意味著設計人員在接受最低程度的訓練後就能有效地使用這項解決方案。

相較於傳統方法，機器學習技術產生的結果十分有說服力。圖 3 總結了終端使用者在實際晶片專案中所做的部分測量。這些測量廣泛涵蓋多種先進應用，包括 AI、5G 與用於互連多個 CPU 的 Arm DynamIQ Shared Unit (DSU)；許多設計指標結果都有改善，包括 TNS、最差負時序餘量 (worst negative slack, WNS)、漏電功耗 (leakage power)、工程變更指令 (engineering change order, ECO) 迴路、最大操作速度 (maximum operating frequency, Fmax) 以及時程。

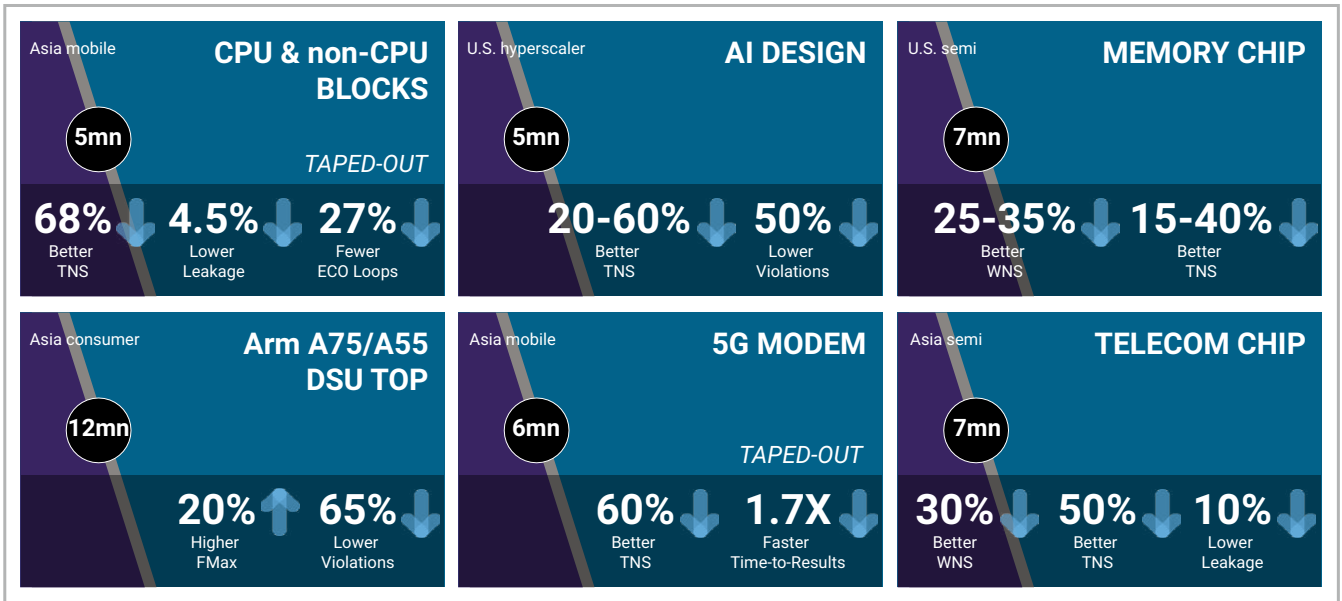


圖 3：MLMP 對比人工操作布圖規劃的實際結果

此外，新思科技 DSO.ai 不僅考量巨集佈局樣式，還考量更多設計選項，進而完善 MLMP。額外的設計選項即permuton，可藉由探索諸如電壓調節與資料庫優化等巨集佈局以外的設計變異，進一步提高 QoR。DSO.ai 會隨著每一次反覆的過程變得更加智能，而這也讓 DSO.ai 能夠針對 PPAC 目標以更快的速度進行收斂。這些暖啟動 (warm starts) 能節省更多時間和資源。

現今新思科技 IC Compiler™ II 與 Fusion Compiler™ 佈局及繞線解決方案都具備機器學習巨集佈局技術，而這些解決方案將自動化與智能帶進佈局過程這個領域。新思科技的 IC Compiler II、Fusion Compiler 及 DSO.ai 都是新思科技數位設計系列的一部分；而新思科技數位設計系列是業界第一套人工智慧增強型、雲端就緒的設計解決方案套組，重新定義橫跨合成、佈局繞線及簽核的傳統電子設計自動化 (EDA) 工具的範疇。這個包羅萬象的平台已蓄勢待發朝向提供最佳 PPAC 以及更短的取得結果時程 (time-to-result) 邁進。

總結

複雜晶片與多晶粒 (multi-die) 設計的佈局與時序結果需要布圖規劃，以標示所有關鍵元件配置的位置。布圖規劃的目標是以能為晶片提供良好資料流的方式針對巨集和標準元件進行佈局，進而為目標應用產生最佳 PPAC。傳統人工操作的布圖規劃程序是一個反覆的過程，既耗時且耗費大量資源。新思科技提供以機器學習驅動的全新自動化技術以及 DSO.ai，簡化了布圖規劃設計程序，進而提高生產力；根據業界實際設計進行測量顯示可將佈局結果優化提升 70%。使用具備自動化及智慧的最新布圖規劃技術，可以創建出更佳的 QoR 及最佳化 PPAC，同時滿足嚴苛的 TTM 時程。