

先端ノードにおけるDRCの課題をスケーラビリティとクラウド対応で解決するIC Validator

著者

シノプシス アプリケーション・
エンジニアリング担当シニア・
マネージャー

Elango Velayutham

はじめに

ビッグ・データの時代を迎え、世界中の半導体企業が人工知能 (AI) チップの開発と製造を競うようになってきました。AIを簡単に言うと、人間が持つ学習および意思決定の能力をアルゴリズムで再現しようというものです。たとえば、AIを使用して画像を解釈、理解できるようになれば、医師はよりの確な診断を下せるようになります。しかし画像からパターンを検出して推論を実行するには膨大な数学計算が必要です。このため、AIチップには大量のデータを高速処理できるように圧倒的な量の演算リソースが詰め込まれるようになってきました。このように1個の半導体チップにより多くの機能を追加しようとすると、最先端のプロセス・テクノロジーを利用する必要があり、その結果、フィジカル検証の複雑さが増しているのが現状です。

フィジカル検証の動向と課題

先端テクノロジー・ノードへの移行により、フィジカル検証で扱うルールの数と複雑さが増大しています。たとえば16/20 nmテクノロジーでは、DPT (二重露光) チェックの導入によってランセットあたりのDRCルール数およびDRC演算回数が増えています。以下に、テクノロジー・ノードごとのデザイン・サイズ (図1)、およびテクノロジー・ノードごとのランセットに含まれるDRCルール数と必要なDRC演算回数 (図2) を示します。最新のテクノロジー・ノードでは三重、四重などの多重露光も利用されます。この結果、7 nmではランセットのルール数は最大10,000にも達しています。これらルールはほとんどが非常に複雑で、ランセットに含まれるルールを実行するには10万回近くのDRC演算が必要となります。

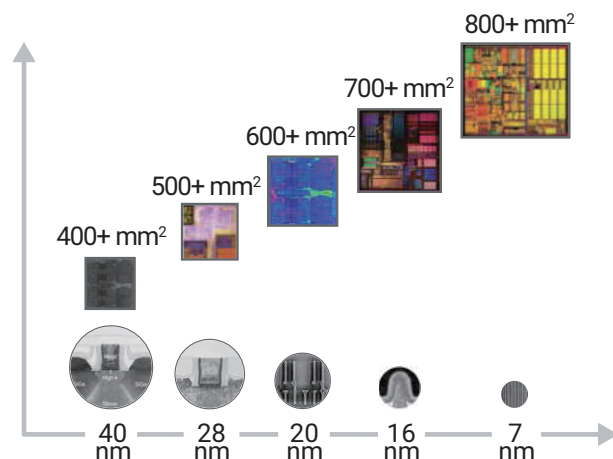


図1：デザインの大規模化と複雑化

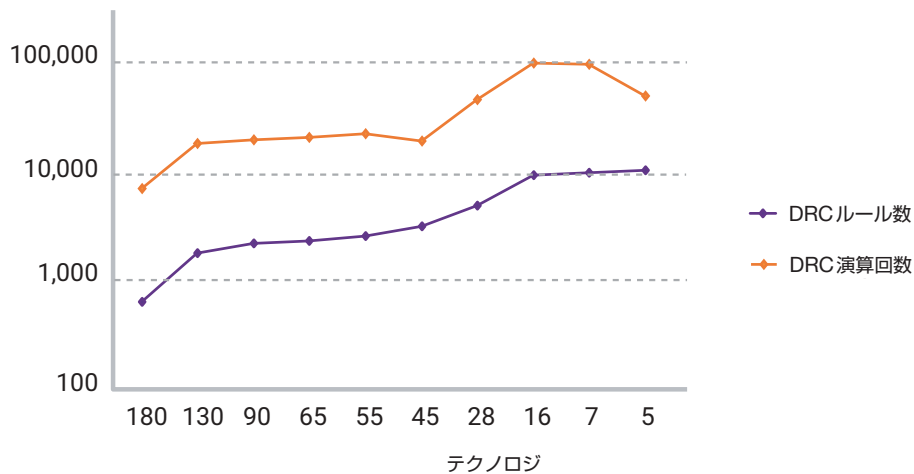


図 2 : DRC の複雑化

5 nm ノードでは EUV (極端紫外線) リソグラフィ・テクノロジーが導入されるため、ルール数自体は増えませんが、以下の要件を満たす必要があるため、複雑さは更に増すことになります。

1. ダミー・ポリを含むすべてのポリをポリ・グリッドに揃える必要があること。
2. ビアはクリティカル・ピッチごとにグループ化すること。ビア・スペースの制約は異なる。
3. MEOL (Middle End Of Line) メタルは 1-D (長方形) のみ。
4. 「エンプティ・エリア」、「最大スペース」のチェックの数が多い。

これらの要件によって DRM (Design Rule Manual) のルールは複雑化しており、ランセットを用いて多くの DRC 演算を実行してルールを適用する必要があります。IC Validator チームはファウンドリ・パートナーと緊密に協力し、製造プロセス開発サイクルの早期にこれらのランセットのルール要件を把握するよう努めています。こうした初期段階からの協業により、IC Validator チームは PXL 言語でマクロ・レベルのファンクションを開発し、先端プロセスのランセットに含まれる複雑なルールを実行できるようになっています。

デザインのサイズ、および DRC ルールの数と複雑さはノードが進むごとに増大しているため、1つの DRC 工程を完了するのに長い時間がかかります。しかし DRC 実行時間に対する顧客の要求はいつの時代も同じで、フィジカル検証は一晩で完了することが求められます。

DRC 実行時間を短縮する方法

DRC 実行時間を短縮する方法には、たとえば以下のものがあります。

- ルール・デッキを分割し、複数のランセットに分けて DRC を実行する。
- その回で実行するルール数を少なくする (ランセットの一部のみを実行する)。
- より強力な CPU を使用し、ハードウェア・リソースを増強する。

ただし、注意が必要な点もあります。人手でデッキを分割するにはルール・デッキ開発の経験が必要で、ルール・デッキに適切にスイッチを挿入しないと、一部のルールが実行されないこともあります。また、実行するルール数を少なくする (ランセットの一部のみを実行する) 場合も、最終的に未実行のルールが残る可能性や、DRC ジョブの完全実行に必要な反復回数が増えてしまうことがあります。ルール・デッキには手を加えず、最新の強力なマルチスレッド・アーキテクチャのマシンで実行すれば、何も犠牲にすることなく正確な DRC 結果を数時間で得ることができます。現在は、こうしたハードウェア・リソースも十分に利用できる環境が用意されており、EDA ベンダにはこれらのハードウェアをインテリジェントに利用して早期テラアウトにつなげたいという要望が顧客から寄せられていました。

スケーラブルでクラウドにも対応した IC Validator

EDAツールの実行時間を短縮するには、膨大な数のマシンと新しいスレッディング・アーキテクチャを利用する必要があります。IC Validatorのエンジンは独自の分散処理およびマルチ・スレッディング機能を備えており、DRCルール・デッキを任意の数のコア/CPUで実行できます。IC Validatorはこれまでの常識を覆すスケーラビリティを実現しており、使い易さも非常に優れています。図3は、最大1000コアで7 nmテスト・チップ・デザインを実行した場合のIC Validatorのスケーラビリティを示したものです。実際の大規模な量産デバイスでは、より多くのコマンドを並列実行できるため、更に高いスケーラビリティが期待できます。200コア使用時には一晩(8時間)での実行が可能となり、多くの顧客の要求を満たすことができます。500コアに増やすと実行時間は4時間未満となり、フルチップのDRCを1日に数回実行できます。使用するコアを増やすほど実行時間は短くなり、図に示したケースでは、1000コア使用時の実行時間は3時間を切っています。画期的な分散処理およびマルチ・スレッディング機能を備えたIC Validatorと非常に強力なマシンを組み合わせることにより、ランセットに手を加えなくても、フルチップのDRCを数時間で完了できます。

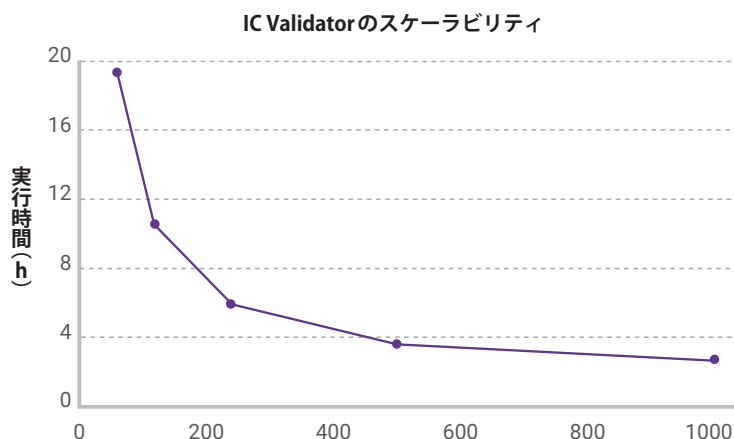


図3：最大1000コアまでのスケーラビリティ（例）

では、これほどのコア数を利用するにはどうすればよいでしょうか。EDAツールがクラウド（プライベートまたはパブリック）に対応していれば、コア数を無限に増やして短時間で高速に実行できます。図4と図5に、クラウドでのIC Validatorの利用モデルを示します。1つは、デザイン、ライセンス、ハードウェア・リソース、EDAツール（バイナリ）をクラウドに置いて実行するというモデルです。これは、主にプライベート・クラウドでの利用モデルとなります。もう1つは、ハードウェア・リソースのみクラウド上のものを利用し、デザイン、ライセンス、EDAツール（バイナリ）はクラウド外に置くというモデルです。IC Validatorの分散処理とマルチ・スレッディング・アーキテクチャは、メモリー容量の小さい低コストのマシンとも相性がよく、コアの数を容易に増やして実行時間を短縮できます。また、クラウド対応のツールはメモリー容量の制約が大きいパブリック・クラウドでも効率よく動作する必要があります。IC Validatorのスケーラブルなアーキテクチャは、メモリー容量の小さいマシンもフル活用できるため、クラウド上の柔軟なコンピューティング環境を利用して最大限の性能を達成できます。事実、IC Validatorをクラウド上で実行して、先端ノードを利用した大規模なカスタマー SoCデザインのテーブアウトに成功した事例も出てきています。

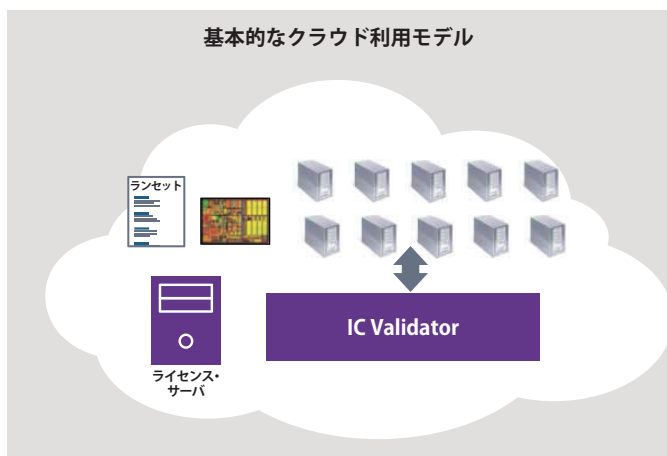


図 4：基本的なクラウド利用モデル

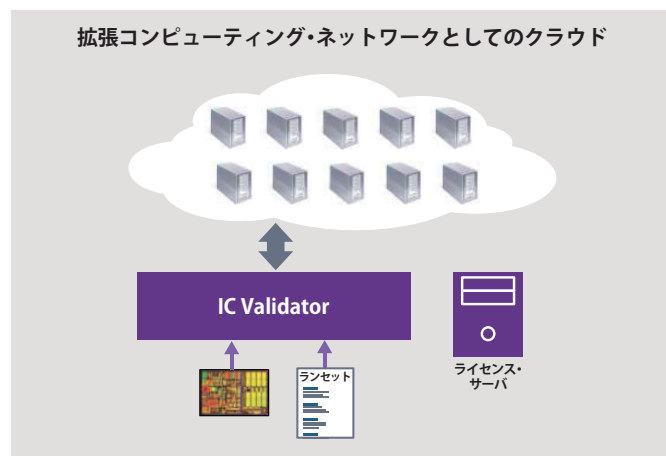


図 5：拡張コンピューティング・ネットワークとしてのクラウド

まとめ

IC Validatorはスケーラブルなクラウド対応アーキテクチャを採用しており、極めて大規模なデザインもわずか数時間でDRCを完了できます。最先端のテクノロジー・ノードを利用した大規模なデザインであっても、IC Validatorならフィジカル検証を短時間で完了し、テープアウトのスケジュールを確実に達成できます。

詳細は、synopsys.com/icvalidator をご参照ください。