

# シノプシス & 富士ゼロックス

富士ゼロックス、フルカラー・デジタル複合機向け  
スキャン画像データ処理 ASIP の開発にシノプシス ASIP Designer を採用



シノプシス社の ASIP Designer を採用してゲート数を70%削減できたため、小規模FPGAにデザインをインプリメントでき、なおかつ複合機で目標とした毎分70ページ印刷に必要なシステム性能を達成できました。

富士ゼロックス株式会社  
コントローラ開発本部マネージャ  
土屋 徳明 氏

## 企業紹介

富士ゼロックス株式会社は日本の大手OA機器サプライヤで、オフィス向けデジタルカラー/モノクロ複合機を中心としたドキュメント・サービスおよびソリューションを提供しています。

## 課題

- ▶ 複合機の性能目標を達成しつつ、ゲート数を抑えること
- ▶ システム開発コストを削減すること
- ▶ 高い柔軟性により、設計の手戻りを防ぐこと

## シノプシスのソリューション

- ▶ ASIP Designer: 特定用途向けプロセッサ (ASIP: Application-Specific Instruction-set Processor) の設計を自動化/加速するツール・スイート

## 利点

- ▶ プロセッサ・アーキテクチャを検討・最適化してチップ面積とシステム開発コストを削減
- ▶ 固定機能のハードウェア・アクセラレータに比べゲート数を70%削減
- ▶ Compiler-in-the-Loopテクノロジーにより、アーキテクチャ検討にかかる時間を短縮
- ▶ 最適化Cコンパイラを含むフル機能のソフトウェア開発キット (SDK) を自動生成
- ▶ ライセンス料が不要

## 概要

富士ゼロックスのオフィス向けフルカラー・デジタル複合機は、最新のコントローラ・ソフトウェアの採用により、ユニバーサルな操作性を実現するとともに、ユーザーの業務効率化に貢献するソフトウェア機能を多く提供しています。この新しい複合機の開発に当たっては、快適なビジネス環境を支援するため静音性を追求することが1つの大きな目標となりました。通常は用紙の傾き補正を機械的に行いますが、それではOA機器の静音性を高めることができません。そこで、富士ゼロックス社は先進の画像処理アルゴリズムを利用してスキャン画像に補正を適用するアプローチを採用しました。次に課題となったのは、アルゴリズムの柔軟な変更をサポートしつつ、この機能を消費電力、パフォーマンス、面積の効率に配慮してインプリメントすることでした。いくつかのインプリメンテーション方法を評価した結果、汎用プロセッサではパフォーマンス要件を満たすことができず、RTLで設計した固定機能のハードウェア・アクセラレータではゲート数が大きく膨らむなど、標準のアプローチでは対処できないことが判明しました。上記の目標をすべて満たすため、富士ゼロックス社は特定用途向けプロセッサ (ASIP: Application-Specific Instruction-set Processor) のアプローチを採用することを決め、そのツールとしてシノプシスの ASIP Designer を選定しました。

## 効率的な ASIP 設計

機能が固定された一般的なハードウェア・アクセラレータとは異なり、ASIPではステート・マシンではなく特定用途向け命令でアクセラレータを制御するため、非常に高い効率を得られます。ASIPは特定用途に最適化してあるため、機能を固定したRTLデザインに匹敵するパフォーマンスを達成でき、なおかつリソース共有によって面積も縮小できます。また、ASIPは完全にソフトウェア・プログラマブルなため、アルゴリズムはテーブルアウト後でも変更できます。

富士ゼロックス社が選定したシノプシスのASIP Designerは、業界をリードするASIP設計ツール環境です。ASIP Designerに1つの仕様を入力するだけで、高度な最適化Cコンパイラ、命令セット・シミュレータ (ISS)、アセンブラ、リンカ、デバッガを含むソフトウェア開発キット (SDK) と合成可能なRTLが生成されます。生成したISSに含まれる先進のプロファイリング機能や、画期的なCompiler-in-the-Loopテクノロジーなど、ASIP Designerにはアーキテクチャ検討を短時間で完了できる機能が揃っており、富士ゼロックス社はアルゴリズムに対するアーキテク

チャのプロファイリングをただちに実行することができました。ASIP Designerに採用されているプロセッサ・モデリング言語のnMLは、プロセッサ・モデル変更を加えるとRTL、Cコンパイラ、シミュレータにただちに反映されるため、富士ゼロックス社の設計チームは反復型のアプローチでプロセッサを容易に改良していくことができました。

事前に予想したとおり、ASIPでは多くのリソース共有が可能なため、固定機能のハードウェア・アクセラレータを個別に作成した場合に比べゲート数を70%削減できました。この結果、デザインを1個のFPGAにインプリメントでき、ASICに実装した場合のようなNREコストも発生しませんでした。

富士ゼロックス社は、nMLプログラマ2名、技術サポート1名、マネージャ1名というごく小規模なチーム構成であったにもかかわらず、このデザインのコンセプトからインプリメンテーションまでをわずか14ヶ月で完了させました。今回のプロジェクトの成功を受け、富士ゼロックス社のチームは今後もASIP Designerの利用を継続したいと考えています。

*シノプシス社のASIP Designerを採用したことで、ソフトウェア開発を早期に開始できただけでなく、アーキテクチャ検討とデザイン最適化も効率よく進めることができました。これによって時間が大幅に節約され、開発チームはプロジェクトの別の作業に専念することができました。*

富士ゼロックス株式会社  
コントローラ開発本部マネージャ  
土屋 徳明 氏

