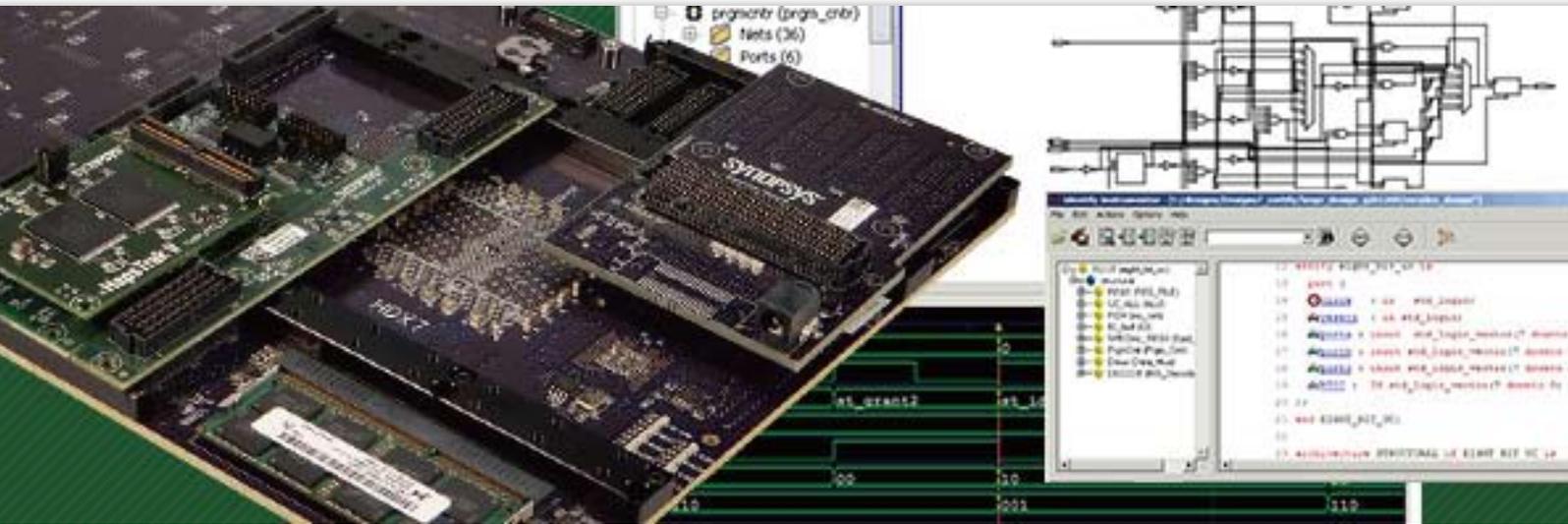


シノプシス FPGAベース・ プロトタイピング・ソリューション HAPS Developer eXpress (HAPS-DX)



- ▶ 新規 ASIC ブロック、IP、サブシステムのプロトタイピングに最適
- ▶ 業界最高水準の HDL ソース・コンパイラおよび FPGA ベース・プロトタイピング合成ツールが付属
- ▶ プロトタイプの実動作に対してシミュレータに匹敵する高い観測性を提供
- ▶ Xilinx Virtex-7 FPGA、DDR3 メモリー、PCI Express、UMRBus を統合
- ▶ ANSI 規格の FMC およびシノプシス HapsTrak 3 コネクタをサポート
- ▶ 大容量のシノプシス HAPS-70 シリーズ・システムとの統合が可能

概要

時間との勝負

FPGAベース・プロトタイプでは高い動作速度と実機環境に即したI/O接続を利用できますが、プロトタイプ開発と導入に手間取ってASIC開発プロジェクトの早期段階でプロトタイプを用意できなければ、こうした利点は何の意味もなくなってしまいます。このため、プロトタイプをなるべく短時間で構築し、ASICのRTLを実装してバリデーションやソフトウェア・インテグレーションが行えるようにする作業を、数ヶ月ではなく数週間で完了する必要があります。開発期間の短縮が進みソフトウェアのコード量が増え続ける中、新規RTLブロックおよびIPに対してソフトウェア・ドリブンのイン・コンテキスト・バリデーションを実行する必要性が高まっていますが、そのためにはFPGAベース・プロトタイプを最短期間で配布することが鍵となります。

シノプシスのHAPS Developer eXpress (HAPS-DX) は、最先端のプロトタイピング・ソリューションを必要とする設計チームに向けて業界最高水準のプロトタイピング・ハードウェアと開発自動化ソフトウェア・ツールをワンパッケージ化したもので、プロトタイプ開発にかかる時間を最短化してASIC RTLブロックおよびIPのプロトタイプ完成までの期間を短縮します。

- ▶ 最大400万ASICゲートの容量を備えたXilinx Virtex-7 690T FPGAを搭載。ASICブロック・モジュールおよびIPのバリデーションに理想的なCLB (Configurable Logic Block)、RAM、DSPリソースを提供します。
- ▶ 業界標準のFPGAメザニン・カード (FMC) およびHAPS HapsTrak 3フォーマットの両方に対応したI/Oインターフェイスを装備。使用できるドーターボードの幅が格段に広がり、実機環境に即したインターフェイスを持つプロトタイプの構築にかかる手間が軽減します。

- ▶ すべてのHAPS-DXシステムにLinux OS対応のプロトタイプ開発自動化/デバッグ・ソフトウェアが付属。プロトタイプ作成にかかる期間が短縮します。
- ▶ HAPS-70シリーズ・システムとデザイン・フローおよびハードウェア・インターフェイスを共通化。HAPS-70と組み合わせてプロトタイプ容量を拡張すれば、SoC全体のバリデーションにも対応できます。
- ▶ HDLコンパイラは一般的なフォーマットをサポートし、合成コーディング・スタイルやDesignWare IPも認識。ASICデザイン制約のSDC (Synopsys Design Constraint) およびUPF (Universal Power Format) も認識されるため、タイミングおよび消費電力の設計意図を短時間でプロトタイプに適用できます。
- ▶ 高速HDLコンパイラ・モードによりRTLのレビュー時間が短縮し、スループットが従来のFPGA合成ツールの最大4倍に向上。HAPS Clock Optimization (HCO) などのプロトタイプ高速プリングアップ・オプションにより、きわめて複雑なASICクロッキング方式もクロックに制約のあるFPGAアーキテクチャに短時間でインプリメントできます。
- ▶ 最大8GBの大容量ストレージを利用したRTLデバッグを実現。シミュレータに匹敵するRTLデバッグ・インターフェイスにより、デザインのトラブル・シューティングやプロトコル規格への適合性チェックが行えます。
- ▶ UMRBus (Universal Multi-Resource Bus) ハードウェア・インターフェイスを装備。C/C++/Tcl APIを利用してホスト・ワークステーションからプロトタイプをきめ細かく制御、観測できます。

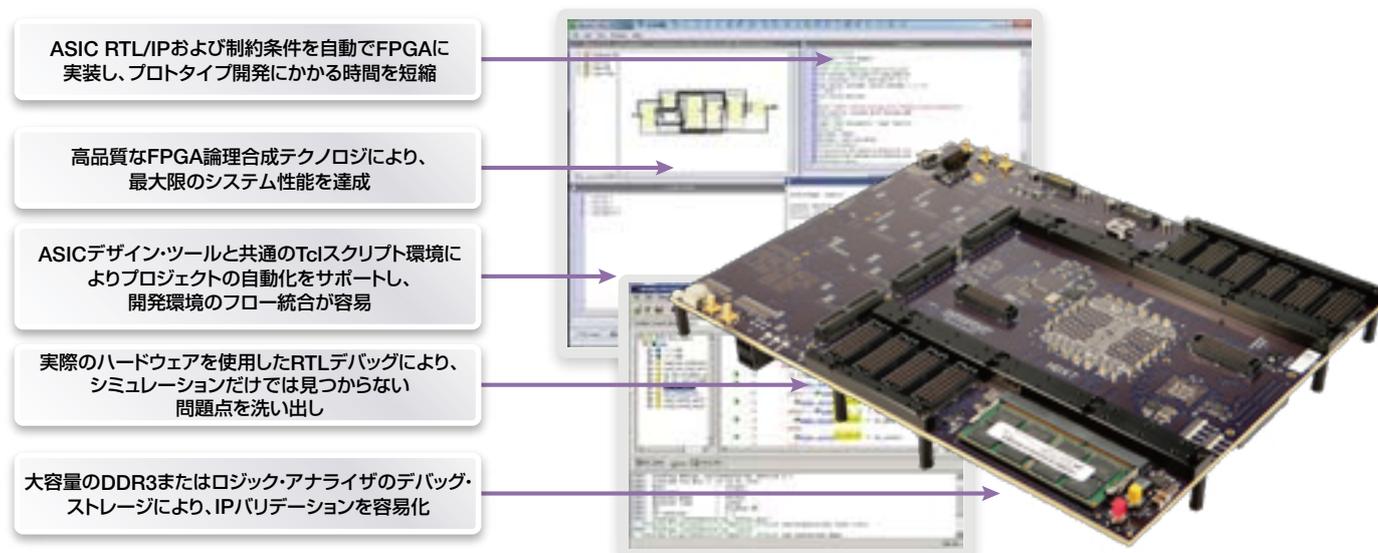


図1：HAPS-DXハードウェア・システムとプロトタイプ開発自動化/デバッグ・ソフトウェア

表1：HAPS-DX7 S4システムの特長

	HAPS-DX7 S4
FPGAタイプ	Virtex-7 690T
FPGA容量	最大400万ASICゲート
DDR3 SDRAM容量	最大8GB
ユーザー・アクセス可能なVirtex-7汎用I/O	500 (HapsTrak 3 I/Oコネクタ当たり50 I/O) + 10 (GPIOコネクタ) + 40 (HSIO MGBコネクタ当たり10) + 16 (HSIO FMCコネクタ当たり8)
ユーザー・アクセス可能なVirtex-7 GTHトランシーバ	56 (HSIO MGBコネクタ・ソケット当たり10) (HSIO FMCコネクタ・ソケット当たり8)
ユーザー LED	4 (赤/緑の2色LED)
HapsTrak 3 I/Oコネクタ・ソケット	10 (160-position SEAF Open Pin Field Arrayソケット) (HapsTrak 3-HapsTrak IIアダプタ・カードを利用可能)
HSIO MGBコネクタ・ソケット	4 (80-pin Vertical Edge Rate Cardソケット) (1ソケット当たり10個のGTHトランシーバおよび10本のGPIOへのアクセスが可能)
HSIO FMCコネクタ・ソケット	2 (60-pin SEAF Open Pin Field Arrayソケット) (1ソケット当たり8個のGTHトランシーバおよび8本のGPIOへのアクセスが可能) (HapsTrak 3-FMCアダプタ・ボードを使用)
GPIO (汎用I/O) コネクタ・ソケット	1 (2x7ピン、2.00mmピッチ・ヘッダ) (10本のGPIOへのアクセスが可能)
DDR3 SODIMMコネクタ・ソケット	1 (DDR3 SODIMM 204-position Right Angleソケット)
クロック・リソース	FPGAへのクロック・ネットを3つ備えたPLL (1)、外部PLL入力 (1)、外部PLL出力 (2)、外部同軸クロックI/O (2)。PLL入力の周波数レンジは5 ~ 200MHz、PLL出力は160kHz ~ 700MHz
プログラマブルな電圧領域	1.8V、1.5V、1.35V、1.2Vのいずれか
クロック領域	4
デバッグ・モード	RTLレベル・デバッグ、サンプルMuxグループ、マルチFPGA分散デバッグ、ディープ・トレース・デバッグ、ロジック・アナライザを用いたリアルタイム・デバッグ
ドーターボードの種類	PCIe、SATA、Ethernet、DDR2、SRAM、フラッシュ、MSDRAM、MICTOR、その他HapsTrak 3互換のFMCメザニン・カード
プロトタイプ開発自動化・ソフトウェア	HAPS-DX向け論理合成/インプリメンテーション・ツールが付属
RTLデバッグ/トラブルシューティング・ソフトウェア	HAPS-DX向けRTLデバッグ/システム・アセンブリ・バリデーション・ツールが付属
システム制御ソフトウェア	システム・コンフィギュレーション/モニタリング・ソフトウェア・ツールが付属
コンフィギュレーション	SDカード (最大10種類のブート・コンフィギュレーションをロータリー・スイッチで選択)、CDE (Configuration and Data Exchange) インターフェイス経由のUMRBus、JTAG、USB 2.0
暗号鍵	バッテリー・バックアップ対応
電源ユニット入力	110-240 AC、12V
付属アクセサリ	電源
オプション・アクセサリ	PCIeエッジ・コネクタ・ボード HapsTrak 3-FMCアダプタ・ボード (160本のGPIOおよび10個のGTHトランシーバ・チャンネルへのアクセスが可能)

FPGA メザニン・カード (FMC) 規格について

FMCはANSI規格の1つで、標準のメザニン・カードの形状とコネクタ規格、およびHAPS-DXなどのキャリア・ボードに実装されたFPGAへのモジュラー・インターフェイスを定義しています。FPGAからI/Oインターフェイスを切り離すことでI/Oインターフェイス・モジュールの設計が簡略化され、キャリア・カードの再利用性も最大限に向上します。FMCはFPGAベンダからエンドユーザーまで幅広い企業が参加するコンソーシアムによって策定されました。

FMCの主な利点

- ▶ データ・スループット：個々の信号速度が最大10Gb/sに向上
- ▶ レイテンシ：プロトコルのオーバーヘッドをなくすことでレイテンシが削減され、確定的なデータ転送が可能
- ▶ デザインの簡略化：プロトコル規格に関する専門知識が不要
- ▶ システム・オーバーヘッド：システム・デザインが簡略化され、消費電力と部材コストも減少
- ▶ デザインの再利用：既存のFPGA/キャリア・ボード・デザインを新しいI/Oへ転用が容易



HAPS-DXシステムには、2つのHapsTrak 3-FMCアダプタ・ボードを装着できます。各アダプタ・ボードには400ピンHPC (High Pin Count) コネクタへのインターフェイスがあり、Virtex-7 690T FPGAの160本のシングルエンドI/Oおよび10個の差動GTH I/Oにアクセスできます。

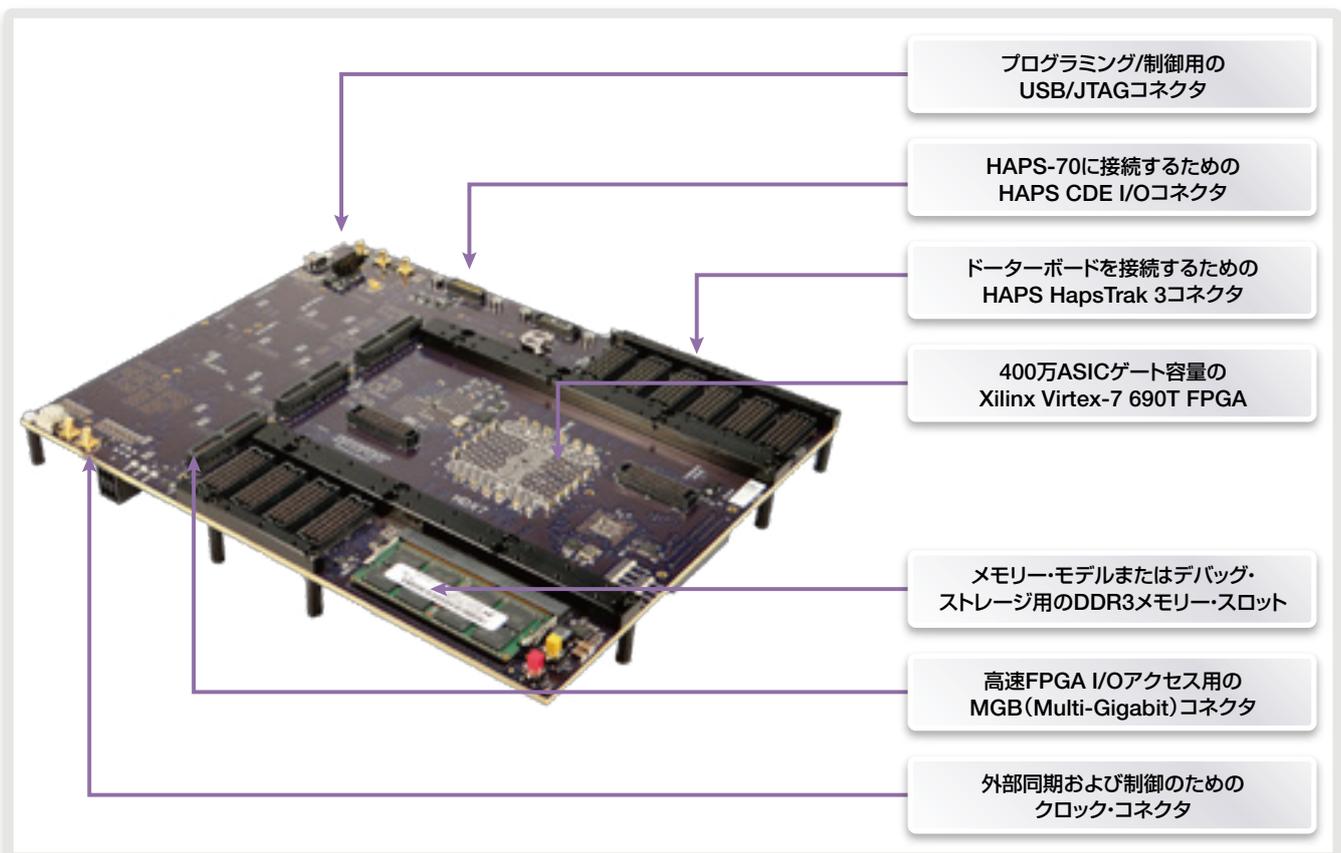


図2：HAPS-DXハードウェア概観

ASIC RTLブロックおよびIPのバリデーションのためのスタンドアローン環境

FPGAベース・プロトタイプでは、リアルタイムのクロック性能と実機環境を忠実に再現したインターフェイスへの接続を利用できるため、DUT (Device-Under-Test) の自己完結型バリデーション環境として最適です。このため、RTLバリデーションがHAPS-DXの最も一般的な用途となります。プロトタイプとして実現した組込みCPUサブシステムをテスト・ジグとして使用し、ソフトウェア・スタックを実行します。FMCまたはHapsTrak 3ドーターボードとして提供される幅広い種類のインターフェイス・プロトコルおよびシステムのPHYインターフェイスを利用できます。また、HAPS-DXはソフトウェアIDEが動作する外部ワークステーションにJTAG 経由で簡単に接続できます。

プロトタイプをPCI Expressに接続

プロトタイプ・システムをホスト・ワークステーションのPCIeスロットに直接挿入すると、大量のデータをDUTにストリーミングでき、メディア・コントローラや品質レビューといったバリデーション用途にも強力に対応できます。HAPS-DXのPCIeパドル・ボードとPCIe Endpointコアにより、DUTへのメモリー・マップド・アクセスが容易に行えます。

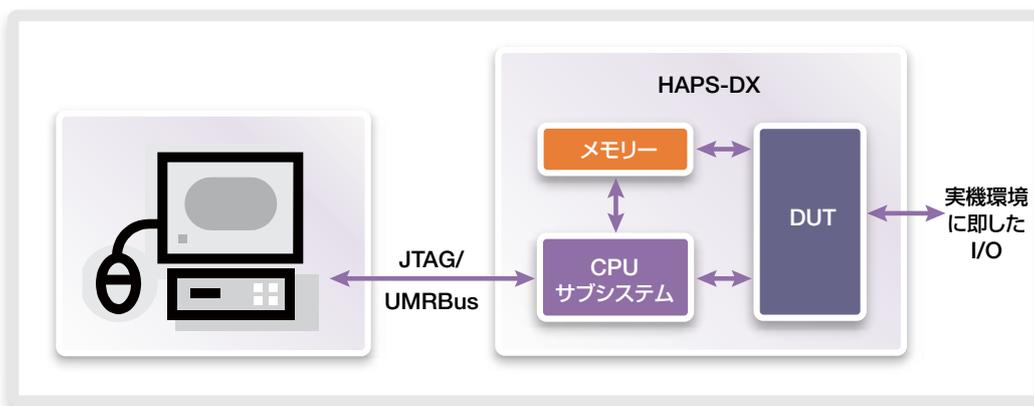


図3 : HAPS-DX単体でのバリデーション

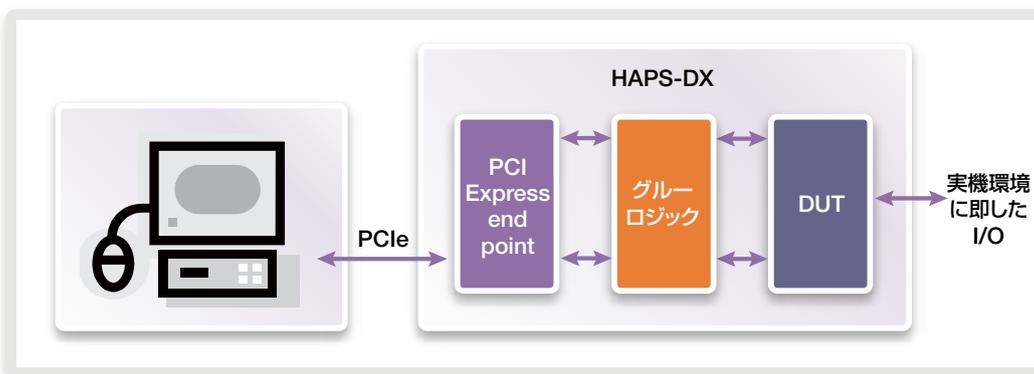


図4 : PCIeにHAPS-DXのプロトタイプを接続

ハイブリッド・プロトタイピング

SystemC/TLMベースのモデル（バーチャル・プロトタイプ）とFPGAベースのプロトタイプ・ハードウェアを混在できるハイブリッド・プロトタイピング・システムを利用すると、RTLの完成を待たずにプロトタイプ開発が可能となるため、従来の手法に比べ数ヶ月早くプロトタイプを利用できるようになります。バーチャル・プロトタイプは、LT (Loosely-Timed) モデルとサイクル精度のハードウェアをブリッジ

接続するバス・プロトコル・トランザクタを介してRTL DUTと通信します。DUT RTLのバリデーションは、アプリケーション・ソフトウェアで構成されるソフトウェア・スタックをバーチャル・プロセッサ・サブシステムで実行して行います。HAPS-DX TBV Suite（別売オプション）を利用すると、シノプシスVDK (Virtualizer Development Kit) とHAPS-DXシステムを組み合わせたハイブリッド・プロトタイピングが可能となります。

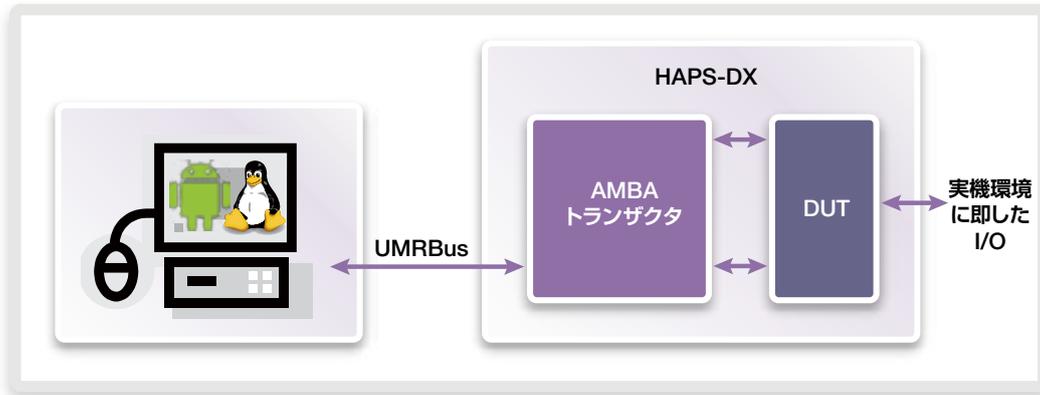


図5：HAPS-DXを用いたハイブリッド・プロトタイピング

HAPS-70との統合と再利用

より大容量のシステムが必要な場合は、HAPS-DXをHAPS-70システムのモジュールまたはドーターボードとして使用できます。単体のHAPS-DXシステムでバリデーションが完了したプロトタイプ・モジュールをシステムの一部として再利用できるため、合成と配置配線をやり直す

時間が省けます。HAPS-DX、FMC規格およびシノプシス HapsTrak 3 ドーターボードPHYといったハードウェア・システムを統合するために必要となるユーザー I/O、コンフィギュレーション、クロック/リセット分配などの通信インフラストラクチャは、HAPS-70の制御ロジックによって提供されます。

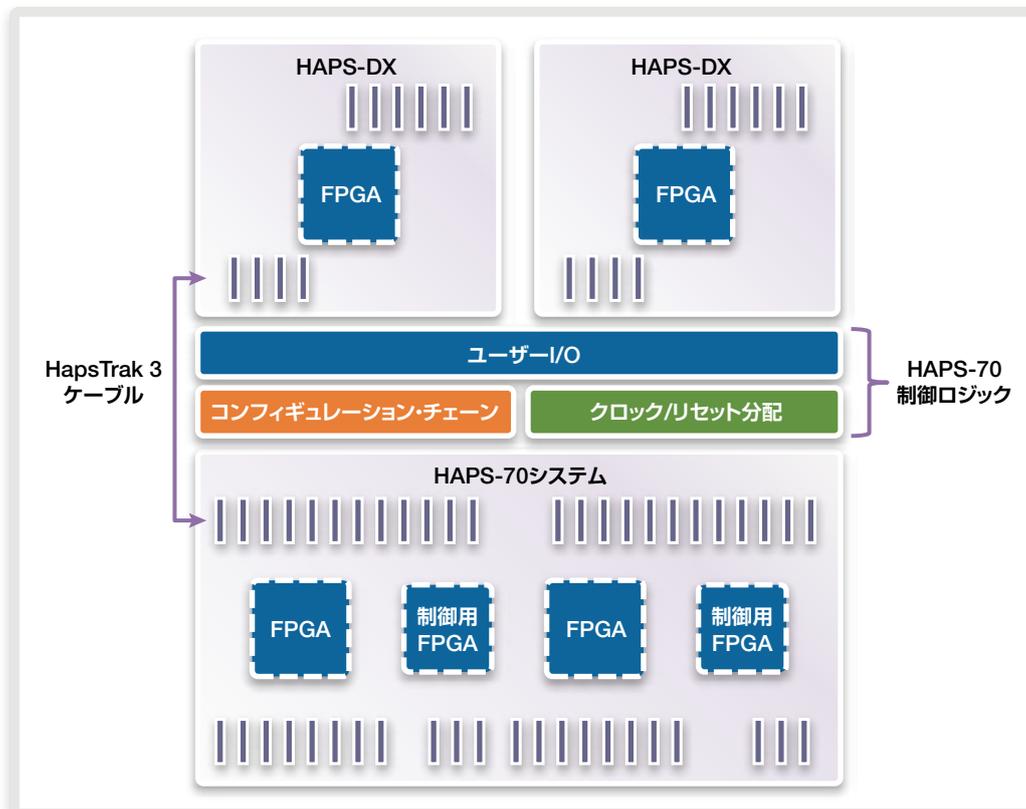


図6：HAPS-DXをHAPS-70のモジュールとして再利用

HAPS-DXの合成/インプリメンテーション機能	利 点
数百万ゲートの容量	多数のブロックへのデザイン分割が不要
HDLを完全サポート	VHDL、Verilog、SystemVerilog、または混在言語のデザインのプロトタイピングが可能
ゲーテッド・クロック変換	ソースコードに変更を加えずにゲーテッド・クロックをFPGAデザインに自動でマッピング
SDC (Synopsys Design Constraint) をサポート	SDCを認識し、タイミング設計の意図を短時間でプロトタイプに適用
UPF (Universal Power Format) をサポート	UPFフォーマットのファイルから直接アイソレーション/リテンション・ロジックを推論し、プロトタイプを構築
ASIC IPとの互換性	DesignWare、IP-XACT、IEEE-P1735をサポートし、FPGAへのマイグレーションが容易
インクリメンタル合成フロー	Xilinx Vivado デザイン・プリザベーション・フローをサポートしたブロック・ベースのフローにより、TATを短縮
高速HDL解析	結果品質 (QoR) への影響を最小限に抑えて動作速度を4倍に向上した高速コンパイル・モード
エラー発生時の継続処理	1回の合成で複数のエラーを検出し、イタレーション回数を削減
ポストコンパイル・ネットリスト・エディタ	スクリプト可能なインターフェイスを用いて、FPGAインプリメンテーションの前にコンポーネントを削除または挿入
Xilinx Vivado 配置配線のカプセル化	ロジック・ネットリストと制約条件を含めたFPGAバックエンド・インプリメンテーションへの強力なインターフェイスを提供
診断インターフェイス	HDLコンパイラおよび合成ツールから出力されるハイパーテキスト・インターフェイス付きメッセージのフィルタリング/解釈を簡単に実行
スプレッドシート形式の制約エディタ - SCOPE	HDLソースまたはグラフィカル・ビューで制約条件のセットアップとレビューを短時間で完了
RTLおよびテクノロジ・ビュー - HDL Analyst	RTLおよびステート・マシンをグラフィカルに出力し、推論およびマッピングされたロジックのレビューを容易化
TCLベースのコマンドライン・インターフェイス	EDAツール・フローの自動化が容易

HAPS-DXのデバッグ/プリングアップ機能	利 点
RTLソースコードからデバッグ・ポイントを設定	サンプリングやトリガ用の信号やコード分岐を手軽に選択可能
RTLソースコード内でデザインをデバッグ	少ないデバッグ・ロジックで有用なデータを取得でき、短時間でデバッグが可能
ステート・マシン・スタイルのトリガをインプリメント	複雑なトリガ条件を作成でき、システム条件の切り分けが容易
列挙型データの保持	RTLソース内でデータをビット・レベルではなくシンボリック・データとして表示し、ステート・マシンに最適
VCDまたはFSDBフォーマットでのサンプル・データのエキスポート	GTKWave、シノプシスnWaveまたはDVEなど、さまざまなビューアでデータを可視化
デバッグ・ベクタのエキスポート	システム内部のHAPS-DXのステートをテスト・ベクタとして記録し、シミュレーションおよび不具合の切り分けを支援
無制限のシーケンシャル・トリガ条件	任意の長さの逐次イベントをキャプチャ・トリガとして使用可能
クロス・トリガ	あるクロック・ドメインのトリガを利用して別のクロック・ドメインでトリガとサンプリングを実行可能
デバッグ・ロジックをパイプライン化	元のデザインへのタイミングの影響をほぼゼロに抑制
デバッグ・ポイント設定ロジックによるエリア・レポート	FPGAリソースの使用量を正確にフィードバック
HDL Analystを統合	ポストコンパイルRTLおよびテクノロジをグラフィカルに表示し、デザインへのアクセス性が向上
シノプシスVerdi/Silotiとの連携	ESDB/FSDBデータ交換により、シミュレーション・ビューのインポートおよび根本原因解析が容易
選択的サンプリングおよびMuxグループ	簡単な操作で特定の期間のみサンプルを収集でき、信号の可視性が最大限に向上
Deep Traceまたはリアルタイム・デバッグ	オンボードのDDR3 SDRAMまたは外部ロジック・アナライザを大容量のサンプル・ストレージとして利用
UMRBusによるワークステーションとの接続	ユーザー・プログラムまたはTclからCAP IM (Client Application Interface Module) にアクセス
HAPS対応のプリングアップ・ユーティリティ	システム構成とドーターボード位置のチェックを行い、短時間で複製が可能
インクリメンタルなデバッグ・ポイントの設定をサポート	レジスタおよびポート接続をデバッグ・ロジックに合わせて簡単に調整でき、TATを短縮
TCLベースのコマンドライン・インターフェイス	スクリプトを使用してデバッグ・ポイントの設定や実行を自動化

多彩なプロトタイプ接続オプション

HAPS-DX プロトタイプをワークステーションに接続すると、モニタリングや制御、あるいはハイブリッド・プロトタイピングといった多彩な利用方法が可能になります。

- ▶ **HAPS-DX UMRBus** (Universal Multi-Resource Bus) インターフェイスは、プロトタイプの動作中にソフトウェア (C/C++またはTcl/TKアプリケーション) とハードウェア (DUT) の間で双方向データ交換を可能にする高信頼性のコンポーネントを完全に備えています。HAPS-DXシステムはいずれもオンボードにUMRBusインターフェイス回路を備えており、PCIeまたはUSB経由でホスト・ワークステーションに簡単に接続できます。
- ▶ **SCE-MI** — 別売オプションのHAPS-DX TBV (Transaction-Based Validation) Suiteには、FPGAベース・プロトタイプなどのハードウェア・システム内で動作するDUTモデルにアンタイムド・ソフトウェア・モデルを接続するためのSCE-MI規格に準拠したトランスポート・インフラストラクチャが含まれています。シノプシスのSCE-MI通信リンクは、HAPSシリーズFPGAベース・プロトタイプ内のトランザクタ・モデルとワークステーション上のアンタイムドまたはRTL C/C++/SystemCモデルを相互接続する各チャンネルに対して自動で生成されます。
- ▶ **AMBA** — 別売オプションのHAPS-DX TBV Suiteには、LT (Loosely-Timed) のTLM (Transaction-Level Model) とサイクル精度のFPGAハードウェア・インプリメンテーションの間でデータ交換を可能にするAMBAインターコネクタ用のトランザクタ・ライブラリが含まれます。このトランザクタを利用すると、SystemC/TLMバーチャル・プロトタイピング環境とFPGAベース・プロトタイピング環境の間でSoCデザインを分割する際の自由度が向上し、AMBAインターコネクタの自然なブロック・レベルの境界で分割できます。

IPおよびモジュールの高性能プロトタイピング

HAPS-DXに付属の論理合成ツールは、インクリメンタルな合成フロー、高速合成モード、自動化されたブロック・ベース・デザインによってツール実行時間の短縮を図っています。コンパイル時にモジュールのエラーが検出されてもコンパイラは処理を続行し、合成の最終段階でエラー・ログを生成するため、合成に必要なイタレーション回数が削減されます。この機能を利用すると、今までのようにエラーを1つずつ修正して合成をやり直すのではなく、合成の最後にすべてのエラーを一括して修正できます。また、何回合成を実行しても再現可能な結果が得られるパス・グループ (Path Group) テクノロジにより、設計スケジュールの予測性も向上します。Xilinx Vivadoのブロック・ベース配置配線デザイン・プリザベーション・フローに統合されたブロック・ベースのRTL合成フローでは、前回までの合成で検証済みの部分が保持されるため、イタレーションの実行時間が短縮します。HAPS-DXのFPGA合成ツールセットには、FPGAベース・プロトタイプインプリメントに役立つ機能が自動化された形で包括的に用意されています。このツールはゲートッド・クロック変換機能を内蔵し、DesignWareライブラリのデータパスおよびビルディング・ブロックIPとも完全に統合されているため、ASIC RTLコードをFPGAにインプリメントできます。

HAPS-DXのFPGA合成ツールは、Behavior Extracting Synthesis Technology® (BEST™) およびタイミング・ドリブンの論理合成エンジンを搭載しており、完全なタイミング・ドリブンの合成テクノロジーを利用してタイミング要件をすべて満たした後で占有面積の縮小を図ることができます。タイミング・パフォーマンスを最大限に高めたい場合は、リタイミングやパイプラインニングなどの高度なロジック最適化機能を利用してパフォーマンスをさらに引き上げることができます。

HAPS-DXはIEEE 1801-2009 UPF (Unified Power Format) 規格をサポートしており、ASICの設計/検証用のローパワー・デザイン仕様もHAPS-DXでプロトタイピングできます。論理合成ツールは、パワー・ダウン・モードで既知の値を強制するアイソレーション・セル、および保存した状態をシステムに復元するリテンション・セルを自動的に推論します。

HAPS-DXのプロトタイプ開発自動化ソフトウェアは現在使用中の開発環境への統合も容易で、ツールの使用方法はフロー・ベースのGUIで簡単に習得できます。GUI環境のコマンドはすべてTclコマンドとして記録されるため、デザイン・フローのスクリプトも容易に作成できます。

非介入、大容量のデバッグ

HAPS-DXでは、元のRTLコードには一切変更を加えずにデバッグ・ポイントを設定できる独自のアプローチを採用しています。デザイン階層ビューでは目的のデザイン・モジュールを簡単に選択でき、プローブやトリガを設定可能なノードにはアイコンが表示されます。HDLデザイン内のプローブは、メニューまたはスクリプト・コマンドを使って簡単に起動できます。

HAPS-DXのオンボードDDR3メモリーまたはオプションのHapsTrak 3 Mictorドーターボード経由で接続した外部のAgilentまたはTektronixロジック・アナライザをターゲットとすることで、デバッグ・ストレージを拡張できます。このように大容量のデバッグ・ストレージは、信号の可視性が最大限に向上するだけでなく、複雑なプロトコルのバリデーションにおいて長時間の実行サンプルを記録できるという点でも理想的です。

HAPS-DXのデバッグ・ツールは、VCD、FSDB、ESDBなどの一般的なフォーマットによるデータ・ベクタ交換をサポートしており、シノプシスVCS、Verdi、Silotiなどの検証ツールとの連携も容易です。

HAPS-DXのデバッグ・ポイント設定ツールは複数クロック・ドメインのトリガおよびクロック・クロス・トリガをサポートしており、ドメイン間のデバッグが可能です。ターゲットFPGAへのプログラミングが完了すると、デバッガ・アプリケーションがUMRBusまたはJTAGインターフェイスを介してFPGAと通信し、トリガ・モードの設定やライブ・システムからキャプチャしたデータの表示を対話形式で実行できます。デバッグ・トリガの動作モードには、サイクル、イベント、パルス幅、ウォッチドッグがあり、これらのモードを使用してロジックまたは分岐トリガにクロック遅延およびパルス幅を追加します。

トリガ条件が成立したら、ライブ・ハードウェアからサンプルバッファ履歴が抽出されます。デバッガ・アプリケーションは、ハードウェア・レベルの信号を自動的に変換してRTLソースコードの構文に戻します。ビットはベクタおよび列挙型データとして再結合されます。結果は、RTLソース・ビューに直接アノテーションされます。

プラットフォームおよびFPGAデバイスのサポート状況

HAPS-DXのオートメーションおよびデバッグ・ソフトウェアは、Linux 64ビット・オペレーティング・システムをサポートしています。新しいHAPS-DXシステムも、登場次第サポートされます。

詳細は、www.synopsys.com/haps をご参照ください。FPGAベース・プロトタイピング・メソッドの詳細は、www.synopsys.com/fpmm をご参照ください。