

基于FinFET的设计： 机遇与挑战

2012年9月

作者 前言

Jamil Kawa

新思科技研发总监

在双重图形和其它先进光刻技术的帮助下，CMOS技术继续向20纳米（nm）及更小的尺寸迈进。但是，凭借其卓越的特性，FinFET正在替代平面FET（也被称为“平面CMOS”），成为这些先进工艺节点的首选器件技术。尤其是，FinFET在性能、漏电、动态功耗、片内变异以及SRAM保持电压方面表现更佳。

FinFET器件的拓扑结构比平面FET器件复杂得多。此外，它们的设计特性和特点也完全不同，这给设计人员提出了很多问题，例如：

- ▶ 他们在平面FET设计领域所积累的经验有多少可以适用于和转移至FinFET设计领域？几十年时间好不容易形成的设计流程和方法能否被重新利用？或者，我们是否正在彻底改变设计方法？
- ▶ EDA工具是否已为这一过渡做好准备？考虑到行业在FinFET器件领域的经验有限，这些工具的就绪程度有多高？
- ▶ 考虑到FinFET及其相关寄生效应的复杂器件模型，设计人员（尤其是模拟设计人员）能否将这些器件模型视为良好的预测，用于设计可靠的电路？

还有很多问题没有列出。为了避免设计陷阱和代价高昂的返工，代工厂和EDA公司必须解决与这些问题相关的各种问题。

与定制设计流程—尤其是与设计实现步骤—有关的一种粗浅观点有可能让人们得出以下结论：从平面FET到FinFET的过渡对于设计人员而言将是无缝和透明的。但事实上，FinFET器件对设计流程的影响可能非常大。

这对设计人员意味着什么？最可能的情况是，如图1所示，与通常的从一种平面工艺节点到另一种平面工艺节点的学习曲线相比，这一过渡的学习曲线要更长、更陡。事实上，随着每个新的平面节点因受限设计规则（RDR）、双重图形等新的光刻技术而诞生，学习曲线已经在不断扩展。FinFET在复杂性方面的跳跃更为明显。

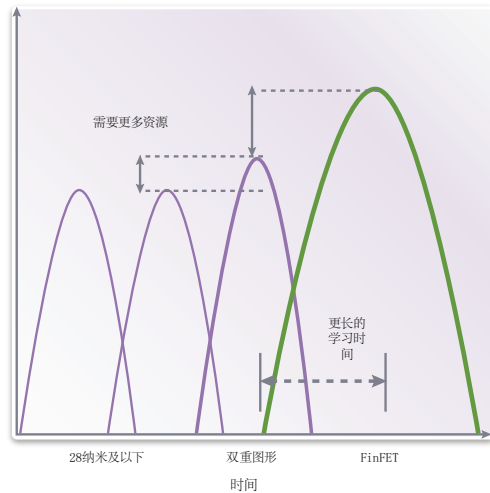


图1: 学习曲线与工艺节点之间的关系

FinFET: 器件

图2和图3分别简要描述了一个平面FET和一个FinFET。在平面FET中，单个栅负责控制源漏沟道。在远离靠近该栅的沟道的表面时，这种栅不具备良好的静电场控制，因此，即使栅处于“off”状态，源极和漏极之间也可能存在漏电流。

相比之下，在FinFET中，晶体管沟道是一个薄的垂直鳍片，栅完全“包裹住”源极和漏极之间的沟道。FinFET的栅可以被视为包围在薄沟道周围的一个“多重栅”。这种栅可以完全耗尽载流子沟道，从而可以对沟道进行更好的静电控制，因此也具备更好的电气特性。薄的鳍片是确保包裹式栅能够完全控制沟道的一个必要条件。图2和图3显示了“体硅”平面FET和FinFET晶体管，值得注意的是，鳍片也能在绝缘衬底上的硅（SOI）上形成。

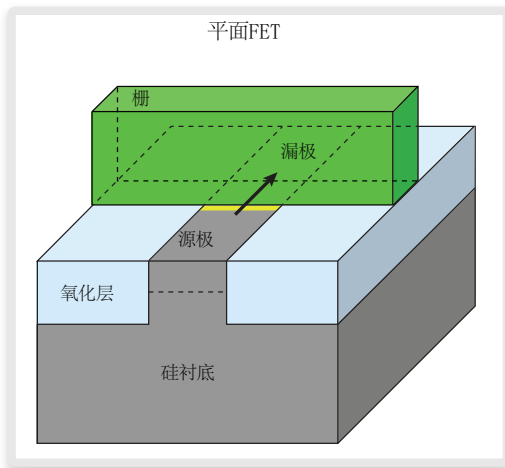


图2: 平面FET

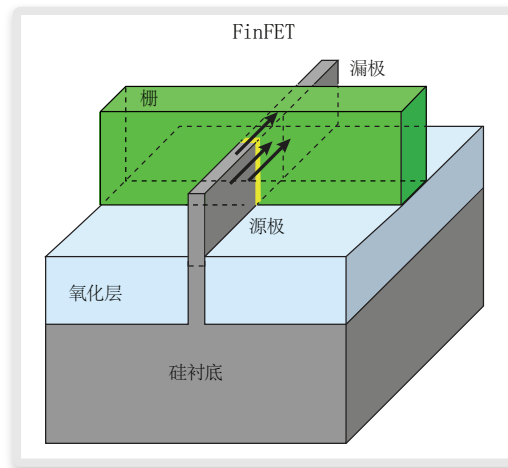


图3: FinFET

FinFET最重要的几何参数是其高度(H_{FIN})、宽度或管体厚度(T_{si})和沟道长度(L_g)。图4显示了这些参数。一个FinFET的有效电气宽度等于平面宽度/管体厚度 T_{si} 加上鳍片高度 H_{FIN} 的两倍。

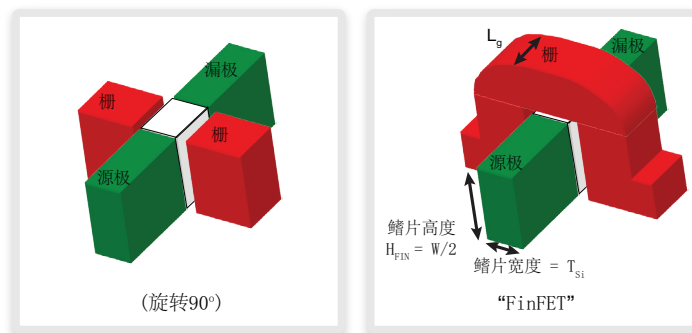


图4: FinFET的几何参数。图中尺寸不成比例

图5、6和7简要描述了制造FinFET结构的关键阶段。有源器件区域显示为蓝色心轴，或临时支撑结构。鳍片（红色）通过蚀刻心轴而形成（图5）。然后使用一个刻版掩模去除结构中的无用部分（图6），形成最终的图形（图7）。

考虑到FinFET技术将在20纳米或更小的几何尺寸上采用，所有关键层就都需要采用双重图形技术。“隔离层双重图形”技术通常被用于生成鳍片图形。

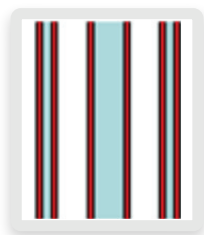


图5: 心轴

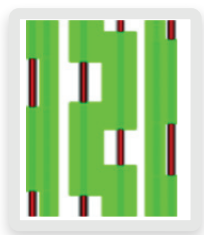


图6: 刻版掩模

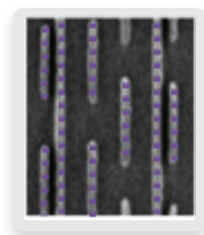


图7: 生成图形后的结构

对于任何工艺节点，FinFET都比平面FET具有优势，其中包括（但不限于）：

- ▶ 卓越的沟道静电控制。可以更加轻松地“阻塞”沟道。FinFET具备一个近乎理想的亚阈值行为模式（与漏电相关），如果不进行精心设计，这一特性在平面工艺中很难实现。
- ▶ 大幅减少短沟道效应（当沟道长度与源漏结的耗尽层的宽度处于同一个数量级时，晶体管的行为将不同于标准的拥有更长沟道的晶体管，从而产生这个效应）。平面工艺的短沟道效应较为复杂，可严重影响栅长度变异，因而影响电气性能。
- ▶ 较高的集成密度，或3D。由于FinFET的沟道为垂直方向，即使在考虑了鳍片之间的隔离死区之后，FinFET的每线性“W”的性能也高于平面FET。
- ▶ 更小的变异，尤其是由随机掺杂波动（主要由无掺杂沟道引发）导致的变异。此外，FinFET中与线边缘粗糙度（LER）（栅线边缘对理想图形的随机偏离，将导致沟道长度不一致）相关的变异也更小。
 - 未掺杂或轻度掺杂沟道：沟道区域所需的掺杂浓度要低得多。
 - 栅的定义：栅从鳍片顶部定义。栅的主要部分由蚀刻工艺确定，而蚀刻工艺的LER非常低。

FinFET为IP设计带来的机遇

自IC行业问世以来，优化性能、功耗、面积、成本和上市时间（机遇成本）等设计指标的愿望从未改变。事实上，摩尔定律就是有关优化这些参数的。然而，随着制造工艺节点迈向20纳米，某些器件参数无法进一步降低，尤其是电源电压，它是决定动态功耗的主导因素。不仅如此，对性能等某一个变量的优化将自动转化为功耗等其它领域的巨大让步。

随着制造工艺接近20纳米，另一个限制是：光刻技术停滞在波长为193纳米的ArF照明源上，而工艺关键特性却低于20纳米。虽然浸没式光刻和双重图形等创新光学技术能够使之成为可能，但却是以增加的变异性为代价的。

TCAD和EDA工具的就绪程度

FinFET设计流程包含一个复杂的生态系统，它的绝大部分与平面CMOS设计的生态系统类似。但是，FinFET设计流程某些步骤的复杂性不同于平面FET。图8显示了受FinFET工艺直接影响的主要工具，以及它们之间的关系。

TCAD包括详尽、全面的前端3D仿真和器件行为建模。在工艺建模领域，FinFET的高纵横比蚀刻/沉积（形貌）增加了分析的深度。在TAD中，通常还没有为这些工艺建模，只是完成了几何近似。由于蚀刻/沉积步骤的纵横比更高，人们对形貌物理仿真的兴趣越来越高。2D工艺建模可用于鳍片生成工艺，但是，若要真正捕获更复杂的行为和邻近效应，我们需要3D仿真。

在器件建模领域，器件仿真需要捕获新表面定向效应、表面散射效应、准弹道运输和拐角效应。需要对迁移率模型进行调整和校准。

此外，TCAD工具还用于精准的FinFET器件3D建模，以解决版图邻近效应、拓扑及结构应力依赖效应以及电迁移问题。它通常包含直接指向RC提取引擎以及仿真器的BSIM SPICE建模功能的链接。

3D仿真的一个例子是不同版图图形和STI蚀刻图形的应力模型。迁移率的版图依赖效应（由应力引发）是平面CMOS中的一个常见问题，由于鳍片的3D性质和STI蚀刻模型，这个问题在FinFET中更加严重。相邻鳍片的邻近程度（或对于末端鳍片，邻近的欠缺）以及蚀刻（STI）的深度是FinFET的两个重要参数。

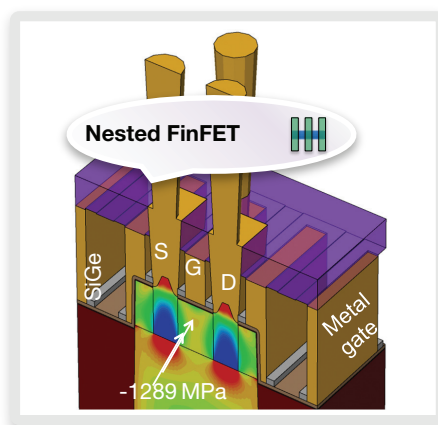


图9: FinFET的应力仿真

SPICE模型：用于平面器件的传统SPICE模型还不够好。Berkeley提供了一个BSIM-CMG（共多栅极）模型，它能够对FinFET（双栅、多栅）和环栅（GAA）器件（完全被栅极包围的晶体管，如纳米线或柱晶体管）建模。

此外，NBTI/PBTI等新的可靠性问题要求我们采用精确的老化和寿终（EOL）模型，这些模型可以精确反映指定时间段内和指定条件下的器件行为。

器件模型（寄生参数）：FinFET的寄生参数器件模型比平面FET的要复杂得多。图10显示了一个典型的FinFET器件模型。

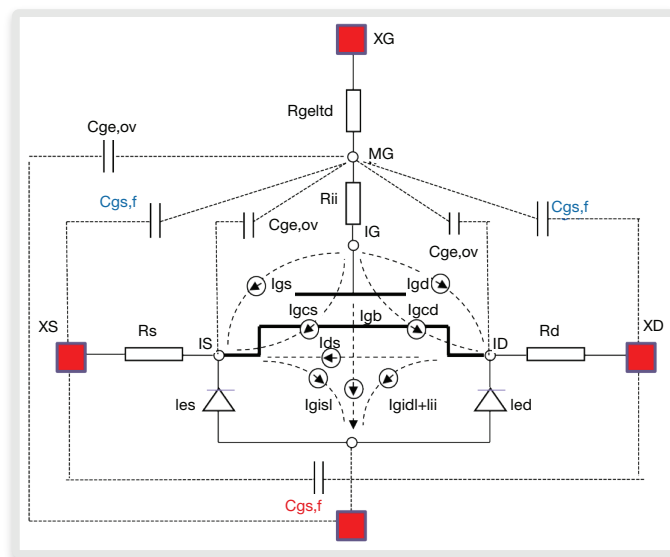


图10: FinFET的寄生参数模型

RC电路的寄生参数模型: 要处理日益复杂的FinFET电路相关寄生参数, 需要有效且精确的RC模型

OPC/LITHO: 从OPC/MDP的角度来看, FinFET图形生成和对应的挑战与平面FET图形生成并没有本质性的不同, 只是鳍片生成过程不同而已, 目前被认为是生成了“波纹衬底”。由于鳍片对厚度变化敏感, 最好采用隔离层图形生成。支持DPT着色和分解合规检查与使用DPT的所有先进节点相比没有什么不同。

从物理布图来看, FinFET设计的RDR数量不成比例。光刻技术只是实施受限设计规则的一个原因。鳍片图形生成/成型工艺、高纵横比蚀刻和提高迁移率所需的鳍片高应力下脆弱特性, 是造成更高限制的进一步因素。

布图和设计数据库工具: 现有原理图和布图工具必须进行改进和重新设计结构, 使生产力达到最大化。它必须是一个设计规则驱动的布图平台, 这些平台与仿真器、验证和数据准备工具进行互动。这些工具必须同时对数百条规则进行实时检查, 并实现错误可视化。

提取、仿真和验证: 除了能够有效处理老化和EOL仿真的仿真包之外, 没有影响到提取、仿真和验证FinFETs EDA生态系统的大变化。但是, 由于器件和寄生模型复杂性的显著增加, 处理显著增大的数据库需要高效准确的提取、仿真和验证技术。

低功耗设计: FinFET技术将提供更多的性能与漏电权衡选择, 从而为电源系统设计人员提供更多的选择。由于设计人员努力从每毫瓦中获得最大性能, 基于FinFET的设计将具有更多的芯片上电源门控, 并将更广泛地使用动态电压频率调整 (DVFS)。 目前的技术和设计流程将逐渐适应这些变化。FinFET技术在任何工作电压都具有性能优势。如图11所示, 这

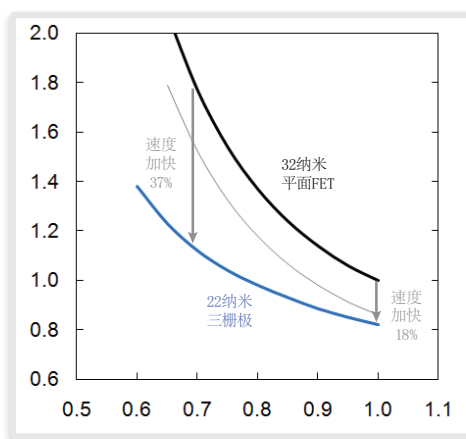


图11: 英特尔22纳米三栅极技术显示出在更低的电源电压 (VDD) 时更大的性能优势
*来源:英特尔Mark Bhor 2011年

一优势在较低电源电压下更大，使FinFET技术成为低功耗和低工作电压应用的理想选择。

因此，尽管看上去FinFET设计中EDA生态系统后端几乎没有任何变化，但实际上，为了高效准确地处理后端工具必须处理的不相称的更大的数据库，所有相关引擎都得到了显著增强。

摘要和总结

FinFET器件技术从各个方面来看都是将摩尔定律扩展至5纳米工艺所需的最具前景的器件技术。它在体硅和SOI上都与CMOS完全兼容。它为解决亚阈值漏电、不良的短沟道静电行为，以及器件参数高变异性等困扰平面CMOS扩展至20纳米的问题提供了非常好的解决方案。而且，FinFET技术能够以非常低的电源电压工作，并且可以扩大电压调节范围，而过去在CMOS器件中电压则难以更低。它还能够进一步节省静态功耗和动态功耗。此外，FinFET技术与CMOS后端设计流程完全兼容，因此这一领域无需进行新的FinFET针对性开发。

但是，任何一种新技术都无法完全避免风险或挑战。FinFET器件含有大量的寄生参数，它们需要精确建模，并需要在所有电路的布图中，尤其是在模拟电路中考虑周全。从电路设计方面来看，除了在布图阶段需要更多考虑寄生参数的影响之外，在衬底偏置和读/写方面还需要有新的电路技术来取代在平面FET非常有效但对FinFET不太有效的技术。

总而言之，FinFET技术为器件缩小带来了一个光明的未来，是设计下一代智能手机、企业计算与网络等高性能、功耗敏感性应用不可或缺的技术。这一技术也带来了新的设计挑战。随着人们对基于FinFET设计知识和经验的日益增加，这些挑战将得到有效应对，并最终确保设计成功和与众不同的终端产品。